

과전류, 과전압 보호회로를 동시에 내장한 질화갈륨 전력반도체용 게이트 구동회로

김종훈¹, 정석용², 김명호¹, 김민식¹, 신세운¹
¹포항공과대학교, ²삼성전자

A Gate Driver Circuit for Gallium-Nitride MOSFET with Over-Current and Over-Voltage Protection

Jong-Hun Kim¹, Seogyong Jeong², Myeong-Ho Kim¹, Min-Sik Kim¹, Se-Un Shin¹
¹POSTECH, ²Samsung Electronics

ABSTRACT

본 연구에서는 질화갈륨(GaN)을 포함한 와이드 밴드갭(WBG) 화합물 반도체의 고속 및 높은 신뢰성의 전력변환을 위한 게이트 구동회로 설계를 제안한다. GaN 전력반도체를 활용한 전력변환 시스템은 높은 전력 밀도와 빠른 스위칭을 제공하지만, 고속 구동 중 발생하는 과전류, 과전압 문제는 신뢰성 문제를 야기한다. 이를 해결하기 위해 PCB 기생 성분을 최소화한 보호회로와 이를 내장한 고속 구동 회로가 필요하다. 본 연구에서는 저지연 과전류, 과전압 보호 회로를 통합한 GaN 전력반도체 게이트 구동회로를 제안하여, GaN 반도체의 신뢰성을 향상시키고 안정적인 고속 전력 변환이 가능하도록 하였다. 실험 결과, 제안한 보호 회로는 기존의 실리콘 기반 시스템 대비 GaN 전력반도체의 높은 전력 밀도와 고속 스위칭 성능을 유지하면서도, 총 보호 시간이 120 ns로 매우 짧은 지연시간을 제공함을 확인하였다. 또한, 기본적인 게이트 구동 IC를 통한 과전압 보호 동작 대비 45% 게이트 전압 피크를 저감하였다.

요구되는 큰 전류변화량 (di/dt)과 회로에 내재하는 기생 인덕턴스 성분은 서지전압 (surge voltage)을 유발하여 시스템의 신뢰도를 위협하며, Si 전력반도체 대비 WBG 전력반도체가 갖는 짧은 단락 면역시간 (short-circuit withstand time) 및 음전압 면역성은 물성/기술적 한계로써 시스템의 안정성을 확보하는 걸림돌로 작용한다^[3]. 따라서, 본 연구에서는 GaN 특화 저지연 과전류 및 과전압 보호회로를 제안하며, 이를 내장한 고속 게이트 구동회로를 통해 GaN 전력반도체의 효과적인 사용을 가능하게 하였다.

1. 서 론

질화갈륨(GaN)을 포함하는 와이드 밴드갭(WBG) 화합물 반도체 기술은 기존의 실리콘(Si) 기반의 전력변환 시스템보다 높은 범위의 전력과 스위칭 주파수를 사용하여 고효율 및 고속 전력변환을 위한 핵심 기술로 주목받고 있다. 그림.1에서 보는 바와 같이 생활가전, 전기자동차, 신재생 에너지 등의 분야에서 GaN 전력반도체 시장은 2027년 \$2.0B로 연평균 59% (2021년 \$126M 기준) 성장폭을 가질 것으로 예측된다^[1]. 그러나, 전력반도체와 불가분한 관계에 있는 게이트 구동회로 (gate driver)가 고속으로 동작할 경우 발생할 수 있는 과전류 및 과전압 현상은 GaN 전력 반도체의 신뢰성과 동작 안정성을 저해하는 원인이 된다^[2]. 이에 전력변환 장치의 신뢰성 확보를 위해 PCB 기생성분 영향을 최소화한 보호회로와 이를 내장한 고속 구동회로의 개발은 필수적이다. 또한, 전력변환 시스템의 전력밀도 향상을 위해 스위칭 주파수를 증가시키는 데 있어

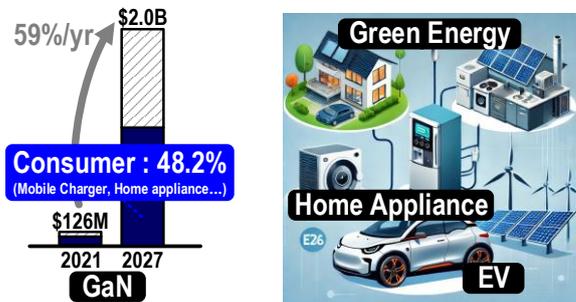


Fig.1 Demands and applications of GaN MOSFET
 그림1 질화갈륨 전력반도체의 수요 및 응용처

1.1 고속 구동에서의 과전류 현상 및 Desaturation

게이트 구동회로는 MOSFET의 게이트-소스 기생 커패시터(C_{GS})를 빠르게 충/방전하는 회로이며, 게이트-소스 경로에 보이는 기생 저항 및 인덕턴스 성분은 동작 주파수에 크게 영향을 미친다. 전력변환 시스템의 전력밀도 향상을 위해 고속 스위칭이 요구되는데, 이에 비롯된 PWM 신호의 오류, 높은 di/dt 및 dv/dt는 역기전력 또는 커플링에 의해 False Turn-On 현상을 야기할 수 있다. 하프브릿지(half-bridge)로 구성된 회로를 구동할 경우 단락전류(shoot-through current)를 야기하여 전력반도체의 영구적인 손상을 초래한다. 이처럼 과전류 혹은 단락전류에 의한 손실을 방지하기 위해 고속의 과전류 보호회로 (over-current

protection, OCP)는 필수적이다.

그림.2에서 일반적으로 많이 사용되는 과전류 보호회로인 Desaturation (DESAT) 회로의 동작 원리를 나타내었다. 정상동작시 DUT의 드레인 전압 V_{DS} 는 MOSFET이 켜져있는 상태에서

$$V_{DS} = I_{DS} \times R_{ON}$$

으로 나타나며, 온-저항 R_{ON} 이 수십 mΩ 수준인 GaN MOSFET에 의해 V_{DS} 는 0V에 수렴한다. $V_{G,ON}$ 에서 시작한 전류 경로는 저항 R_1 , R_2 , 다이오드 D_1 과 DUT에 의해 형성되어 커패시터 C_1 을 충전하지 않는다. 그러나, 과전류 혹은 부하 단락 등의 사유로 DUT가 켜져있는 상태에서 V_{DS} 전압이 높아지게 된다면 $V_{G,ON}$ 에 의한 DESAT 전류 경로는 C_1 을 충전하게 된다. 이후 V_{SENSE} 가 증가하게 되고 이는 비교기에 의해 검출되어 과전류 상황을 발생시킨다^[4].

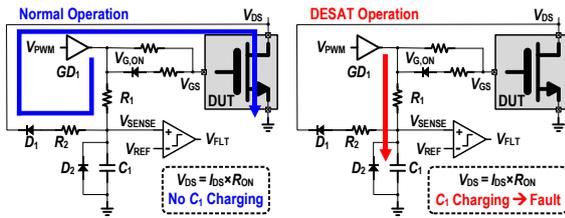


Fig.2 Operation principles of DESAT circuit
그림.2 DESAT 회로의 동작 원리

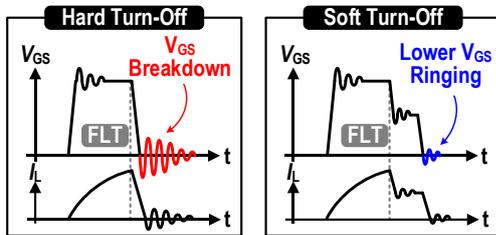


Fig.3 OVP: hard turn-off, soft turn-off
그림.3 과전압 보호회로: hard turn-off, soft turn-off

1.2 과전압에 의한 전력반도체 손상

과전류 상황을 감지하여 전력반도체를 끄기 위해 게이트 전압을 빠르게 낮추는 것은 또다른 문제를 야기한다. 그림.3에 Hard turn-off와 Soft turn-off의 차이점에 대해 나타내었다. Hard turn-off는 게이트 구동 IC에 의한 turn-off 동작을 의미한다. 그러나, 과전류 상황 발생시 설계한 것보다 큰 전류가 흐르고 있는 상태에서 정상 동작시와 동일하게 전력반도체를 끌 경우 발생하는 더 큰 di/dt는 회로 내의 기생 인덕턴스에 의해 역기전력을 형성하고 게이트 노드의 링잉 (ringing) 현상을 초래한다. 이와 같은 문제를 해결하고 GaN 전력반도체의 게이트-소스 채널을 보호하기 위해 Soft turn-off 기술을 적용하였다. 과전류 상황 발생시 게이트 구동 IC만으로 게이트 전압을 낮추지 않고 추가적인

게이트 전하 방전 경로를 제시하여 2단계에 걸쳐 게이트 전압을 낮추는 과전압 보호회로 (over-voltage protection, OVP)를 보호회로 설계에 적용하였다.

2. 제안하는 WBG 전력반도체 특화 구동회로

2.1 전체 구조 및 프로토타입

제안하는 GaN 전력반도체 특화 보호회로 내장형 고속 구동회로의 전체 회로도를 그림.4에 나타내었다. 제안하는 회로는 게이트 구동단, 과전류 및 과전압 보호회로로 구성된다. PWM 외부 신호를 수신하는 로직 및 게이트 구동 IC를 통해 GaN MOSFET이 제어되며, 전체 회로는 5V 통일된 전원을 갖는다.

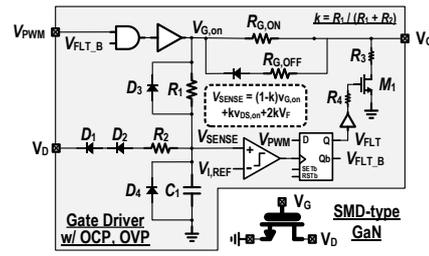


Fig.4 Schematic of the proposed gate driver
그림.4 제안하는 게이트 구동회로 회로도

그림.5에 제작된 프로토타입의 레이아웃 및 보호회로 동작을 위한 실험환경을 나타내었다. 1.1mF DC link 커패시터, 1mH 부하 인덕터를 활용하여 이상동작을 유도하였다.

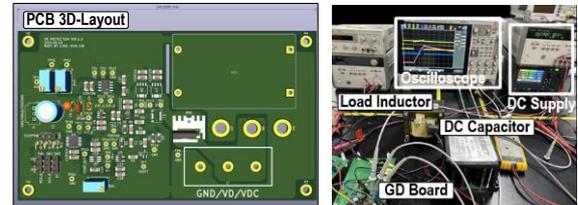


Fig.5 3D layout of the prototype and experimental setup
그림.5 제작된 프로토타입의 3D 레이아웃 및 실험 환경

2.2 실험 결과

2.2.1 게이트 구동단

그림.6에 게이트 구동단의 동작파형을 나타내었다. 외부에서 듀티비 50%의 1MHz 혹은 13.56MHz의 PWM 신호가 인가되었을 때, 게이트 구동단은 고속으로 GaN 전력반도체를 정상적으로 구동할 수 있음을 확인하였다.

2.2.2 과전류 보호회로

그림.7에 과전류 감지 동작 및 보호 동작에 대한 파형을 나타내었다. 그림.7 (a)에서 1 ms PWM 펄스가 외부에서 1회 인가될 때, DC link 전압 VDC에 따른 인덕터 전류 IL 및 보호회로의 V_{SENSE} 노드 전압을 나타내었다. V_{SENSE} 는

$k=R_1/R_1+R_2$ 일 때,

$$V_{SENSE} = (1-k) \times V_{G,on} + k \times V_{DS,on} + 2k \times V_F$$

이다. V_{PWM} 이 high인 상황에서 V_{SENSE} 는 DUT에 도통되는 전류 크기에 비례하여 기울기가 증가하는 것을 확인할 수 있다. 그림.7 (b)에서 과전류가 감지되어 비교기에 의해 V_{FLT} 신호가 발생한 것을 보여준다. 22.5 A를 최대 허용 전류로 사용하고 있는 Infineon GS66506T GaN MOSFET을 실험에 사용하였으며, $V_{I,REF}$ 조절을 통해 15 A가 도통될 경우 과전류 상황이라고 설정하였다. 최종적으로 DUT가 커짐에 따라 전류가 커지다가 외부 PWM 신호는 high인 상황에도 불구하고 과전류 보호회로 동작에 의해 DUT가 차단된 파형을 보여준다.

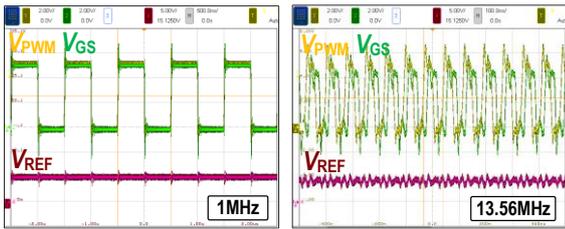


Fig.6 Measured waveforms of the gate driving stage
그림.6 게이트 구동단 동작

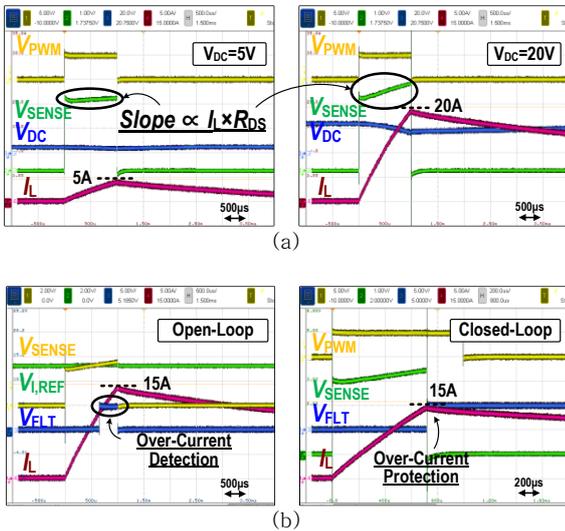


Fig.7 Measured waveforms of OCP
그림.7 과전류 보호회로

2.2.3 과전압 보호회로

그림.8에 제안하는 과전압 보호회로를 사용했을 때와 사용하지 않았을 때의 Turn-off 동작 파형을 나타내었다. 15 A의 드레인 전류가 도통되고 있는 상황에서 hard turn-off를 통한 과전류 보호 동작만 수행시 게이트 전압은 최대 -10.0 V까지 음전압 피크가 발생하고 보호시간은 110 ns가 소요되었다. 이와 달리 추가적인 게이트 방전 경로를 통한

soft turn-off 동작을 수행했을 경우, 게이트 전압은 최대 -5.5 V 음전압 피크가 발생된 것을 확인할 수 있으며 총 보호시간은 120 ns가 소요되었다. 이를 통해 과전압 보호회로를 적용하면 보호시간은 조금 길어지지만 GaN MOSFET의 게이트-소스 단자의 전압 피크를 45% 저감하여 효과적으로 보호할 수 있음을 확인하였다.

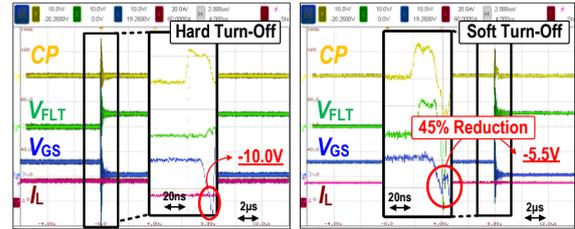


Fig.8 Measured waveforms of OVP
그림.8 과전압 보호회로

2.3 비교표

표.1 기존 연구와의 비교

	TPE'20 [3]	TPE'21 [4]	This work
Protection types	OCP only	OCP, OVP	OCP, OVP
Protection time [ns]	>2050	125	120
Over-current detection meth.	Voltage dip, DESAT	DESAT	DESAT

3. 결론

제안하는 질화갈륨 화합물 전력반도체 특화 게이트 구동회로는 고속 게이트 구동 IC를 활용하여 최대 13.56MHz 동작을 수행할 수 있다. 또한, 과전류 및 과전압 보호회로를 내장하여 기존 실리콘 기반의 전력 시스템 대비 낮은 내구도를 갖지만 고속 구동과 높은 전력밀도를 갖는 질화갈륨 전력반도체를 안정적으로 활용할 수 있는 장점을 갖는다. 과전류 및 과전압 보호동작을 모두 수행할 경우 총 보호시간은 120 ns로 측정되었으며, 과전압 보호회로에 의해 게이트 전압 피크는 45% 감소되었다.

참고 문헌

- [1] Yole Development, "Power GaN 2022 Product Brochure", I-micronews, 2022.
- [2] Yole Development, "Power Gate Driver IC 2022", I-micronews, 2022.
- [3] X. Lyu et al., "A Reliable Ultrafast Short-Circuit Protection Method for E-Mode GaN HEMT," TPE, vol. 35, no. 9, pp. 8926-8933, Sept. 2020.
- [4] R. Hou, J. Lu, Z. Quan and Y. W. Li, "A Simple Desaturation-Based Protection Circuit for GaN HEMT With Ultrafast Response," TPE, vol. 36, no. 6, pp. 6978-6987, June 2021.