

# 3상 PWM 정류기의 스위칭 지연 분석 및 ANN 기반 보상

이성일<sup>1)</sup>, 이주원<sup>1)</sup>, 이동수<sup>1)</sup>, 김민하<sup>1)</sup>, 하정익<sup>1)</sup>  
 서울대학교 전기·정보공학부<sup>1)</sup>

## Analysis of Switching Delay in Three-Phase PWM Rectifiers and Compensation Based on ANN

Seongil Lee<sup>1)</sup>, Juwon Lee<sup>1)</sup>, Dongsu Lee<sup>1)</sup>, Minha Kim<sup>1)</sup> and Jung-Ik Ha<sup>1)</sup>  
 Department of Electrical and Computer Engineering, Seoul National University, Seoul, Korea<sup>1)</sup>

### ABSTRACT

3상 PWM 정류기의 스위칭 순간에 발생하는 스위칭 지연은 데드타임(dead time), 게이트 드라이버 및 전력 반도체 소자의 전달 지연 시간, 턴 온(turn-on), 턴 오프(turn-off) 시간 그리고 기생 커패시턴스 등으로 인해 발생하며, 이는 출력 전압의 비선형성을 유발한다. 이러한 지연을 보상하기 위한 다양한 보상 방법이 연구되어 왔다. 본 연구에서는 앞서 언급된 스위칭 지연을 발생시키는 요인들을 포함하여 게이트 드라이버나 소자들의 공차로 인해 발생한 스위칭 지연을 ANN을 통해 보상한다. 특히, 3상 PWM 정류기의 전류와 직류단 전압에 따라 비선형적으로 발생하는 스위칭 지연을 ANN으로 학습하여 스위칭 지연의 추정 가능성이 가능해진다. 학습된 ANN 모델은 테스트 셋에서 스위칭 딜레이를 낮은 오차율로 추정하는 성능을 보인다.

### 1. 서론

3상 PWM 정류기는 3상 교류 전압을 입력받아 입력 교류 전류의 역률을 제어하고, 직류 부하의 요구에 맞춰 전력을 제어하는 회로이다. 정류기에 사용되는 전력 반도체들은 입력 PWM 신호가 변화하는 시점과 실제 폴 전압이 변하는 시점 사이의 시간 차이, 즉 스위칭 지연이 존재하며, 그 값은 수백 ns에서 수  $\mu$ s에 이른다. 이러한 스위칭 지연은 데드타임(dead time) 및 전력 반도체의 비이상적인 동적 특성으로 인하여 발생하며 합성 전압의 비선형성을 증가시키는 주요 원인이 된다.<sup>[1],[2]</sup>

이러한 스위칭 지연으로 인한 비선형성을 보상하기 위해 전압 왜곡 성분을 계산하고 PI 제어를 통해 보상 시간을 추정하는 방법<sup>[1]</sup>, 출력 전압과 인가전압 간의 오차 성분을 전류에 대한 아크 탄젠트(arctan) 또는 사다리꼴의 비선형 함수로 근사하여 보상하는 방법<sup>[2]</sup> 그리고 출력 전류와 왜곡 전압 간의 비선형적 관계를 인공신경망(Artificial Neural Network, ANN)으로 학습하여 보상하는 방법 등이 제안되었다<sup>[3]</sup>. 또한 전력 반도체의 드레인과 소스에 구성된 스너버 커패시터나 기생 커패시턴스를 고려하여 임계 전류값을 기준으로 구간을 나눠 보상 전압 성분을 계산하는 연구도 진행되었다<sup>[4]</sup>. 그러나 기존 연구들의 보상 방법은 소자들의 공차로 인한 비선형성을 고려하지 않았다. 특히, 직류단 전압 변동성이 존재하는 3상 PWM 정류기에서 직류단 전압의 변동에 대한 스위칭 지연의 영향은 충분히 고려되지 않았다.

본 논문에서는 데드타임, 게이트 드라이버 및 전력 반도체의 전달 지연 시간, 턴 온(turn-on), 턴 오프(turn-off) 시간, 기생 커패시턴스 등 각 소자의 공차로 인해 발생하는 스위칭 지연을 보상하는 ANN 모델을 제안하며, 해당 모델이 3상 PWM 정류기의 3상 전류( $I_{abc}$ )뿐만 아니라 직류단 전압( $V_{DC}$ )의 따라 변동하

는 스위칭 지연을 효과적으로 보상할 수 있음을 보인다.

### 2. 본론

#### 2.1 스위칭 지연의 정의 및 발생 원인

##### 2.1.1 스위칭 지연의 정의

그림 1과 그림 2는 본 논문에서 다루는 스위칭 지연을 정의하는 그림이다. 두 그림 모두 3상 PWM 정류기의 전력 제어 운전 중 A상의 상전류의 샘플링 값, 윗 스위치의 PWM 신호, 아랫 스위치의 PWM 신호, 그리고 폴 전압을 나타내며, 데드타임( $t_{dead}$ ) 구간을 보여준다.

그림 1은 폴 전압이  $V_{DC}/2$ 에서  $-V_{DC}/2$ 로 하강하는 구간을 나타낸다. 이때 A상의 윗 상 PWM 신호가 하강하기 시작한 시점으로부터 폴 전압이 영전위를 도달하는 시점까지의 시간을 A상의 폴 하강 스위칭 지연  $t_{AH}$ 로 정의한다. 그림 2는 폴 전압이  $-V_{DC}/2$ 에서  $V_{DC}/2$ 로 상승하는 데드타임 구간을 보여준다. 이 그림에서도 아랫 스위치의 PWM 신호가 하강하기 시작한 시점에서 폴 전압이 영전위에 도달하는 시점까지의 시간을 폴 상승 스위칭 지연  $t_{AL}$ 로 정의한다.

또한 그림 1과 그림 2에서 볼 수 있듯이 각  $k(A, B, C)$ 상마다 윗 상 스위치의 하강 지연 시간  $t_{AH,fall}$ , 아랫 상 스위치의 상승 지연 시간  $t_{kL,rise}$ , 윗 상 스위치의 상승 지연 시간  $t_{kH,rise}$ , 그리고 아랫 상 스위치의 하강 지연 시간  $t_{kL,fall}$ 을 각각 인가하려는 PWM 신호의 변화 시점 대비 폴 전압이 변화하는 시점의 차이로 정의한다.

##### 2.1.1 스위칭 지연의 발생 원인

본 절에서는 앞서 정의된 폴 상승 스위칭 지연  $t_{AL}$ 와 폴 하강 스위칭 지연  $t_{AH}$ 의 원인이 되는 스위치 및 게이트 드라이버의 상승 및 하강 시간, 전달 지연 시간, 스위치의 기생 커패시턴스에 대하여 설명한다.

게이트 드라이버의 출력 신호는 사용하는 제품의 데이터시트에서 확인할 수 있듯이 입력 신호 대비 수십 ns에서 수백 ns 이내의 전달 지연 시간을 갖고 있으며 이 전달 시간은 부품별로 약 수십 ns의 공차를 가진다. 해당 공차는 소자별로 측정해볼지 않는 이상 데이터시트의 정보만을 가지고는 확인할 수가 없다.

또한, MOSFET은 수십 ns 이상의 턴 온, 턴 오프 시간을 가지고 있다. IGBT의 턴 온 시간은 수십 ns에서 수백 ns 정도이지만, 턴 오프 시간은 턴 온 시간에 비해 더 길고 그 시간이  $\mu$ s 단위까지 증가하는 경우가 있다. 이에 따라 데드타임이  $\mu$ s 단위까지 요구되기도 한다.

또한 전력 반도체의 드레인-소스 커패시턴스( $C_{ds}$ )로 인해 데드타임 구간에서 흐르는 전류의 방향과 크기에 따라 스위칭 지연의 양상이 변화한다<sup>[4]</sup>. 이러한 변화는 그림 3과 그림 4를 통해

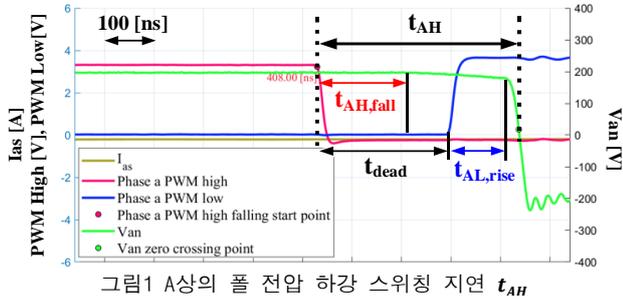


그림1 A상의 폴 전압 하강 스위칭 지연  $t_{AH}$

서 확인할 수 있다. 그림 3은 한 상의 레그 회로도이며, 각 스위치의 드레인-소스 커패시턴스( $C_{ds}$ )를  $C_1$ 과  $C_2$ 로 나타내었다. 그림 4는 상전류( $i_s$ )에 따른 데드타임 동안의 폴 전압의 변화를 나타낸다.

그림 4(c)는 바다 다이오드의 효과를 고려한 경우로, 스위칭 순간에 흐르고 있던 전류의 방향에 따라 도통되는 바다 다이오드에 따라서 이상적인 폴 전압(b) 대비 폴 전압이 변화하는 시점이 달라지는 현상을 보여준다. 그림 4(d)는 드레인-소스 커패시턴스까지 고려한 경우로, (1)에서 (10)까지의 여러 상전류에 따른 폴 전압의 변화를 보여준다. 상전류의 절대값의 크기가 감소할수록 폴 전압의 하강 및 상승 속도도 느려진다. 특히 (3)에 대응되는 전류보다 더 작은 전류가 흐를 경우, 폴 전압이  $-V_{DC}/2$ 에 도달하기 전에 아랫 상 스위치  $S_L$ 이 켜져 폴전압을 빠르게 떨어뜨리는 현상이 시작되며, 해당 순간의 전류  $i_{thres,1}$ 는 식 (1)과 같이 계산된다.

$$i_{thres,1} = C_2 V_{DC} / (t_{dead} - t_{H,fall} + t_{L,rise}) \quad (1)$$

상전류의 크기가 (3)에서 (4)으로 변해 전류가 감소함에 따라 폴 하강 스위칭 지연  $t_{KH}$ 은 더욱 증가하며, 전류값이 음수를 넘어선 (5)에 도달하면  $t_{KH}$ 는 최대값을 유지한다. 마찬가지로, (6)에서 (10)구간과 같이 상전류가 변화하는 경우에도 폴 상승 스위칭 지연  $t_{KL}$  역시 위와 동일하게 해석할 수가 있다.

기존 연구들<sup>[1][2]</sup>은 게이트 드라이버 간에 차이나는 수십 ns의 공차를 동시에 보상하지 못하며, PWM 정류기와 같이 전류와 직류단 전압이 변동하는 상황의 보상은 이뤄지지 않았다<sup>[1]</sup>. 본 논문에서는 이러한 문제를 해결하기 위해 전류와 직류단 전압이 변화하는 3상 PWM 정류기의 스위칭 지연을 보상하기 위해 인공 신경망을 활용하였다.

## 2.2. FNN 기반 3상 PWM 정류기의 스위칭 지연 보상

인공 신경망의 여러 모델 중 순방향 신경망(Feedforward Neural Network, FNN)은 그림 5에서 보이듯, 데이터가 한 방향으로만 전달되며, ReLU와 같은 비선형 활성화 함수를 사용한다. 따라서 FNN은 3상 PWM 정류기의 전류와 직류단 전압에 따른 스위칭 지연의 비선형 관계를 학습할 수 있으며, 구조가 단순하여 DSP와 같이 빠른 연산 시간을 요구하는 프로세서에 사용하기 적합하다.

3상 PWM 정류기의 스위칭 지연을 전류 및 직류단 전압 운전점에 따라 보상하기 위해 다양한 운전점에서 학습 데이터를 취득하였다. 교류 입력 전원 220 [V], 스위칭 주파수  $f_{sw} = 20$  [kHz], 역률 1, 최대 전류 3.5 [A]의 조건에서  $V_{DC}$  운전점은 400 [V]에서 25 [V] 간격으로 500 [V]까지 변화시켰다. 각 운전점에서 오실로스코프로 측정된 파형 데이터에서 MATLAB을 사용하여 각 상의 스위칭 지연 값을 계산하였다. 또한, 스위칭 지연 값( $t_{KH}, t_{KL}$ )에서 데드타임( $t_{dead}$ )을 뺀 데이터( $t_{KH}', t_{KL}'$ )를 ANN에 학습시켰다. 이는 데드타임이 변화할 때 스위칭 딜레이도 데드타임만큼 변화하는 것을 반영할 수 있도록 설계된 방식

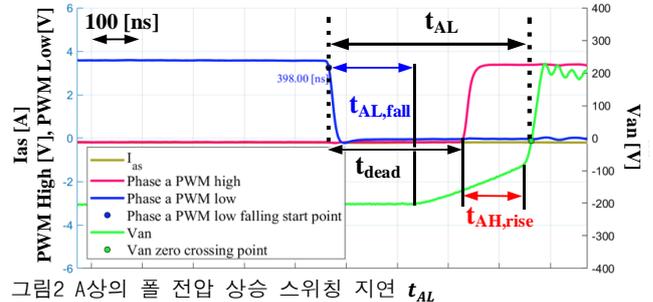


그림2 A상의 폴 전압 상승 스위칭 지연  $t_{AL}$

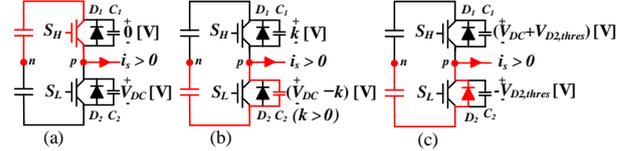


그림3 컨버터의 한 상 레그 회로도 (a) 윗 상 스위치 도통 구간 (b) 데드타임 구간 (c) 아랫 상 다이오드 도통 구간

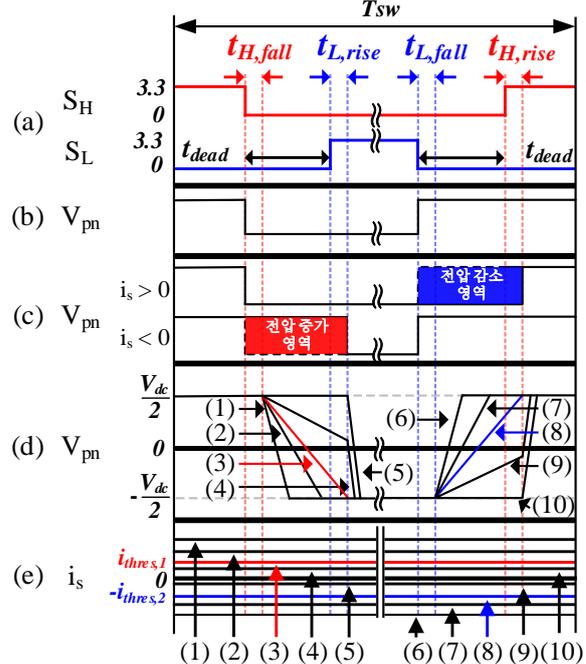


그림4 폴 전압의 변화 양상을 보여주는 그림. (a) PWM 신호 (b) 이상적인 폴 전압 (c) 커패시턴스를 고려하지 않은 폴 전압 (d) 커패시턴스를 고려한 폴 전압 (e) 상전류. (d), (e)의 (1)부터 (5)는 폴 하강 시점의 상전류 값, (6)부터 (10)은 폴 상승 시점의 상전류 값을 의미함

이다. 최종적으로, FNN 학습을 위해 수집된 데이터를 입력 쌍 ( $V_{DC}, I_a, I_b, I_c$ )과 출력 쌍 ( $t_{AH}', t_{AL}', t_{BL}', t_{BH}', t_{CH}', t_{CL}'$ )으로 정리하였다.

측정한 데이터들 중  $V_{DC} = 400$  [V]에 해당하는 데이터를 그림 6에 도시하였으며, 이를 통해 전류 운전점에 따라 스위칭 지연 값이 변화함을 확인할 수 있다. 예를 들어, A상의 폴 하강 스위칭 딜레이는 최소 204 [ns]부터 최대 412 [ns]의 범위로 나타났으며, B상 또한 A상의 폴 하강 스위치 딜레이와 비교했을 때, 최대 32 [ns] 내외의 오차가 발생함을 확인하였다. 이러한 상 간의 오차는 동일한 전류 및 직류단 전압 조건에서 발생한 것이므로, 각 상의 게이트 드라이버 및 스위치 소자의 공차로 인해 발생한 것으로 판단된다.

측정된 데이터 중  $V_{DC}$ 가 400 [V], 425 [V], 475 [V], 500 [V]

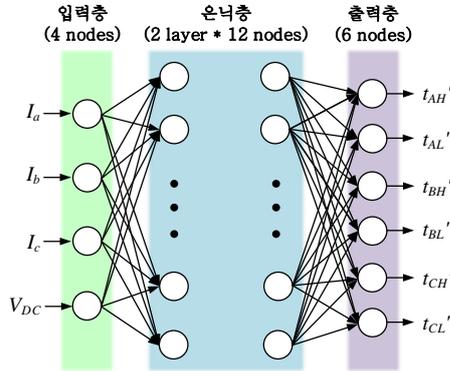


그림5 제안하는 스위칭 지연 보상 신경망

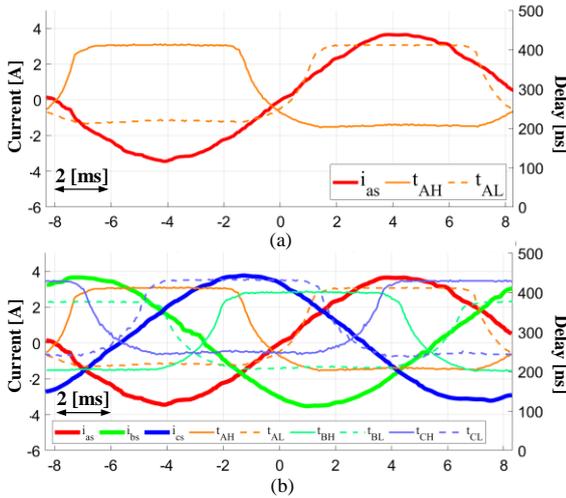


그림6 전류 및 스위칭 샘플 데이터의 파형. (a)  $V_{DC}$ 가 400 [V] 일 때 A상 전류와 스위칭 지연 파형 (b)  $V_{DC}$ 가 400 [V]일 때 3상 전류와 각 상의 스위칭 지연 파형

인 데이터를 학습 셋으로 사용했고, 450[V]인 데이터를 테스트 셋으로 사용하였다. FNN 모델은 Python의 Pytorch 라이브러리를 활용하여 구성하였으며, 입력 노드는 4개, 출력 노드는 6개, 은닉층은 2개로 각 은닉층에는 12개의 노드를 적용하였다.

FNN의 학습에 사용된 학습 셋은 1200개이고, 학습을 위해 설정된 하이퍼 파라미터는 batch size: 300, epoch: 3,000, Learning rate: 0.024이다. 해당 설정 값으로 FNN을 학습시킨 결과 epoch = 3,000에서 제공 평균 오차(MSE)가 0.015로 수렴하며 학습 데이터와 모델 출력 간 오차가 충분히 감소한 것을 확인하였다. 학습 과정 중 epoch별 계산된 손실을 그림 7에, 학습된 모델의 평가 데이터에 대한 예측 결과는 그림 8에 제시하였다. 평가 데이터에 대한 모델의 추정값은 실제 값과 비교했을 때 0.007의 낮은 MSE를 가지며, 모델의 출력에 데드타임을 더하면 그림 1과 같이 정의된 스위칭 지연 값을 얻을 수 있다. 이와 같이 얻게 된 스위칭 지연 값만큼 PWM 신호의 하강 시점을 앞당긴다면, 이상적인 폴 전압 대비 지연이 발생하던 폴 전압의 스위칭 지연을 보상할 수 있다.

### 3. 결론

본 연구는 스위치 회로 소자들의 공차와 동작점에 의해 변화하는 스위치 딜레이를 정의하고 원인을 분석하였다. 3상 PWM 정류기 운전 중 측정된 스위칭 지연 데이터로 FNN 모델을 학습시켰으며, 평가 데이터에 대해서 낮은 오차율을 갖는 것을 확인하

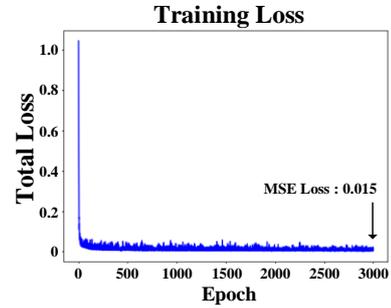


그림7 FNN 학습 시 Epoch 별 계산된 Training Loss(MSE)

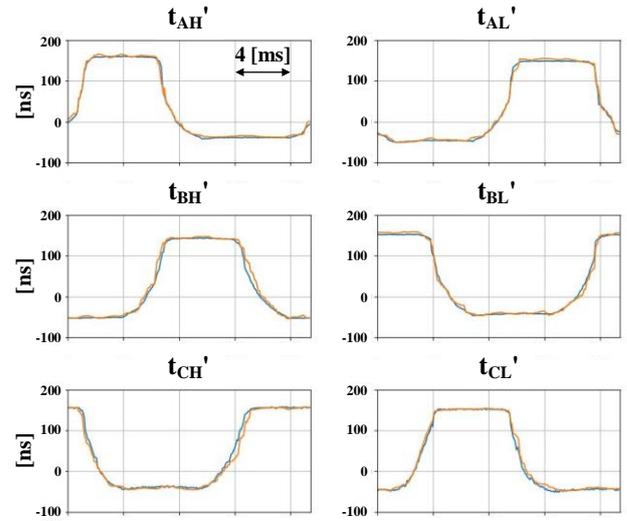


그림8 각 스위치 별 평가 데이터( $V_{DC} = 450$  [V])(파란색)와 학습된 모델의 평가 데이터에 대한 추정값(주황색)을 도식한 그림

였다. 본 연구에서 제안한 스위칭 지연 보상 모델은 디지털 제어에 적용함으로써, 전류와 직류단 전압의 운전점에서 스위칭 지연을 예측하고 스위칭 지연으로 인한 폴 전압 왜곡과 전압 비선형성을 줄이는 보상으로 활용될 수 있다.

이 논문은 서울대학교 전력연구소 지원에 의하여 연구되었음

### 참고 문헌

- [1] Jong-Woo Choi and S. -K. Sul, "Inverter output voltage synthesis using novel dead time compensation," in IEEE Transactions on Power Electronics, vol. 11, no. 2, pp. 21–227, March 1996
- [2] Y. Park and S. -K. Sul, "A Novel Method Utilizing Trapezoidal Voltage to Compensate for Inverter Nonlinearity–," in IEEE Transactions on Power Electronics, vol. 27, no. 12, pp. 4837–4846, Dec. 2012
- [3] T. Liu, Q. Li, Q. Tong, Q. Zhang and K. Liu, "An Adaptive Strategy to Compensate Nonlinear Effects of Voltage Source Inverters Based on Artificial Neural Networks," in IEEE Access, vol. 8, pp. 129992–130002, 2020
- [4] Z. Zhang and L. Xu, "Dead-Time Compensation of Inverters Considering Snubber and Parasitic Capacitance," in IEEE Transactions on Power Electronics, vol. 29, no. 6, pp. 3179–3187, June 2014