

듀얼 액티브 브릿지 컨버터의 전력 반도체 온 상태 저항 불균형 검출 기법

이규형, 채수용
포항공과대학교

A Detection Method for On-State Resistance Imbalance in Power Semiconductors of Dual Active Bridge Converters

Gyuhyung Lee, Suyong Chae

Pohang University of Science and Technology

ABSTRACT

전력 반도체의 열화로 인한 온 상태 저항($R_{ds,on}$) 증가량은 컨버터 효율 저하 및 잔여 수명 예측에 중요한 요소이다. 본 논문에서는 듀얼 액티브 브릿지(Dual Active Bridge, DAB) 컨버터의 인덕터 전류와 입출력 DC 전압을 측정하여 전력 반도체 레그 및 전류 경로 간의 온 상태 저항 불균형을 추정하는 검출 기법을 제안한다. 제안하는 방법은 DAB의 토폴로지의 DPS(Dual Phase Shift) 제어 방식에서 구간별로 변화하는 전류 경로를 활용하여 경로상의 온 상태 저항 불균형을 추정할 수 있으며, 추가적인 회로 없이 기존 시스템에서 검출이 가능하다는 장점이 있다. 시뮬레이션을 통해 제안된 기법의 유효성을 검증하였다.

1. 서론

듀얼 액티브 브릿지(Dual Active Bridge, DAB) 컨버터는 고효율 에너지 변환을 위해 널리 사용되는 토폴로지로서, 스위칭에 사용되는 전력 반도체의 성능은 시스템의 효율과 안정성에 중요한 영향을 미친다. MOSFET, IGBT와 같은 전력 반도체는 열화에 따라 온 상태 저항($R_{ds,on}$)이 증가하는 경향이 있으며, 온 상태 저항의 증가는 컨버터의 성능 저하 및 잔여유효수명(Remaining Useful Life, RUL) 감소에 영향을 준다^[1].

기존의 연구들은 주로 단일 전력 반도체 소자의 $R_{ds,on}$ 을 정밀하게 추정하는 데 중점을 두었으며, 이를 위해 추가적인 회로가 필요했다^[2]. 하지만 이러한 방법은 시스템 복잡성을 증가시키며, 실제 작동 중인 컨버터에서 경로상에서 발생하는 온 상태 저항 불균형을 실시간으로 추정하는 데에는 한계가 있다. DAB 컨버터의 경우 스위칭 구간에 따라 전류의 경로가 달라지게 되고, 이때 각 레그나 경로에 따른 $R_{ds,on}$ 의 편차가 있다면 전류 분배의 불균형을 초래하여 시스템 성능과 효율이 저하되며, 시스템의 신뢰성이 감소할 수 있다. 따라서, 전력 반도체 간의 $R_{ds,on}$ 불균형을 실시간으로 검출하는 것은 시스템의 신뢰성 향상과 고장 진단에 있어 중요한 역할을 한다.

본 논문에서는 DAB 컨버터의 DPS(Dual Phase Shift) 제어 상태에서 전류 경로에 따른 인덕터 전류를 측정하는 방법을 사용한다. 이를 통해 단일 소자의 $R_{ds,on}$ 측정이 아닌, 전력 반도체 레그 및 전류 경로 간의 온 상태 저항 불균형을 검출하는 기법을 제안한다. 특히 $R_{ds,on}$ 이 증가함에 따라 인덕터 전류 및 변화량이 변하게 되며, 이러한 변화를 온 상태 저항 불균형을 추정하는 데 활용하였다. 이를 통해 추가적인 회로 구성 없이 경로상의 온 상태 저항의 불균형을 추정할 수 있다. 제안된 기법은 시뮬레이션 모델 기반으로 검증하였다.

2. 본론

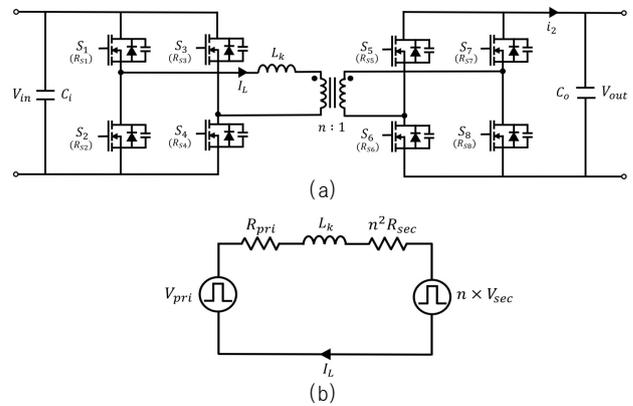


그림 1 (a) 듀얼 액티브 브릿지(DAB) 컨버터 토폴로지 (b) 등가회로
Fig. 1 (a) Dual Active Bridge Topology (b) Equivalent Circuit

2.1 온 상태 저항과 인덕터 전류와의 관계

DAB 컨버터는 그림 1(a)과 같이 구성되며, 스위칭 소자인 MOSFET의 온 상태 저항을 고려하여 회로를 그림 1(b)와 같이 표현할 수 있다. 그림 1(b)의 등가회로를 바탕으로, 온 상태 저항과 인덕터 전류 간의 관계는 다음과 같은 수식으로 나타낼 수 있다^[3].

$$(R_{pri} + n^2 R_{sec}) I_L + L_k \frac{dI_L}{dt} = V_{pri} - n V_{sec} \quad (1)$$

Single Phase Shift(SPS) 제어 방식은 4개의 구간만을 가지지만, DPS 제어 방식은 8개의 전류 경로와 구간으로 구성된다. 각 구간별 전류 변화량 측정을 통해 전력 반도체의 $R_{ds,on}$ 조합에 대한 분석이 가능해지며, 이러한 특징을 온 상태 저항 불균형 검출에 활용하였다.

표 1과 같이 DPS 제어 방식의 8개 구간($i=1,2,\dots,8$)에서 $V_{pri,i}$, $V_{sec,i}$, $R_{sum,i} = R_{pri,i} + n^2 R_{sec,i}$ 가 모두 다르기 때문에 인덕터 전류(I_L)에 대한 수식을 구간별로 구해야 한다. 식 (1)을 통해 구간에 따른 I_L 을 구하면 식 (2)와 같다.

$$I_L = \frac{V_{pri,i} - n V_{sec,i}}{R_{sum,i}} - \left(\frac{V_{pri,i} - n V_{sec,i}}{R_{sum,i}} - I_L(t_{i-1}) \right) e^{-\frac{R_{sum,i}}{L_k}(t-t_{i-1})} \quad (2)$$

표 1 DPS 제어에서 DAB 시스템의 매개변수
Table 1 DAB system parameters in DPS control

구간(<i>i</i>)	V_{pri}	V_{sec}	R_{pri}	R_{sec}
1	V_{in}	$-V_{out}$	$R_{S1} + R_{S4}$	$R_{S6} + R_{S7}$
2	V_{in}	0	$R_{S1} + R_{S4}$	$R_{S6} + R_{S8}$
3	V_{in}	V_{out}	$R_{S1} + R_{S4}$	$R_{S5} + R_{S8}$
4	0	V_{out}	$R_{S1} + R_{S3}$	$R_{S5} + R_{S8}$
5	$-V_{in}$	V_{out}	$R_{S2} + R_{S3}$	$R_{S5} + R_{S8}$
6	$-V_{in}$	0	$R_{S2} + R_{S3}$	$R_{S5} + R_{S7}$
7	$-V_{in}$	$-V_{out}$	$R_{S2} + R_{S3}$	$R_{S6} + R_{S7}$
8	0	$-V_{out}$	$R_{S2} + R_{S4}$	$R_{S6} + R_{S7}$

$$\Delta I_L = I_L(t_i) - I_L(t_{i-1}) \quad (3)$$

$$= \left(\frac{V_{pri,i} - nV_{sec,i}}{R_{sum,i}} - I_L(t_{i-1}) \right) \left(1 - e^{-\frac{R_{sum,i}}{L_i}(t_i - t_{i-1})} \right)$$

식 (3)은 i -번째 구간($t_{i-1} < t < t_i$)에서의 인덕터 전류 변화량과 전류 경로 상의 개별 소자들의 $R_{ds,on}$ 의 합($R_{sum,i} = R_{pri,i} + n^2 R_{sec,i}$)사이의 관계를 나타내는 수식이다. 입출력 DC 전압과 인덕터 전류의 값을 측정할 수 있으며, $R_{sum,i}$ 를 구하기 위해서는 전류 경로 상의 각 소자의 저항이 최소 온 상태 저항($R_{ds,on,init}$)부터 수명을 다한 상태에서의 저항($R_{ds,on,th}$)까지 변화할 수 있음을 고려해야 한다. $R_{sum,i}$ 는 경로 상 소자들의 저항 합으로, 그 범위는 $R_{ds,on,init}$ 값들의 합에서 $R_{ds,on,th}$ 값들의 합으로 결정된다. 이 범위 내에서 식 (3)의 등가를 만족하는 최적의 $R_{sum,i}$ 값을 찾을 수 있다.

즉, 입출력 DC 전압과 스위칭 신호가 변할 때의 인덕터 전류($I_L(t_0), I_L(t_1) \dots I_L(t_7)$)를 측정하면 각 구간별 스위칭 상태에서의 온 상태 저항 합인 $R_{sum,1}, R_{sum,2}, \dots, R_{sum,8}$ 을 구할 수 있다.

$$R_{sum,1} = (R_{S1} + R_{S4}) + n^2(R_{S6} + R_{S7}), R_{sum,2} = (R_{S1} + R_{S4}) + n^2(R_{S6} + R_{S8}) \quad (4)$$

$$R_{sum,3} = (R_{S1} + R_{S4}) + n^2(R_{S5} + R_{S8}), R_{sum,4} = (R_{S1} + R_{S3}) + n^2(R_{S5} + R_{S8})$$

$$R_{sum,5} = (R_{S2} + R_{S3}) + n^2(R_{S5} + R_{S8}), R_{sum,6} = (R_{S2} + R_{S3}) + n^2(R_{S5} + R_{S7})$$

$$R_{sum,7} = (R_{S2} + R_{S3}) + n^2(R_{S6} + R_{S7}), R_{sum,8} = (R_{S2} + R_{S4}) + n^2(R_{S6} + R_{S7})$$

식 (4)의 수식들을 연립하면 식 (5)와 같이 레그 및 전류 경로 간의 온 상태 저항 불균형을 계산할 수 있다.

$$\begin{aligned} \text{레그의 불균형:} & \quad \text{경로의 불균형:} \\ R_{S1} - R_{S2} = R_{sum,4} - R_{sum,5} & \quad (R_{S1} + R_{S4}) - (R_{S2} + R_{S3}) = \frac{R_{sum,1} - R_{sum,7}}{n^2} \quad (5) \\ R_{S3} - R_{S4} = R_{sum,4} - R_{sum,3} & \quad (R_{S5} + R_{S8}) - (R_{S6} + R_{S7}) = \frac{R_{sum,3} - R_{sum,1}}{n^2} \\ R_{S5} - R_{S6} = \frac{R_{sum,3} - R_{sum,2}}{n^2} & \\ R_{S7} - R_{S8} = \frac{R_{sum,1} - R_{sum,2}}{n^2} & \end{aligned}$$

2.2 시뮬레이션 결과

제안하는 기법의 유효성을 검증하기 위해 PLECS를 사용하여 시뮬레이션을 진행하였다. $V_{in}=350V$, $V_{out}=200V$, $n=1$, $f_{sw}=100kHz$, $L_k=35\mu H$, $D1=0.1$, $D2=0.15$, 그리고 스위칭 소자인 MOSFET의 $R_{ds,on,init}=0.05\Omega$, $R_{ds,on,th}=0.08\Omega$ 으로 가정하고 임의의 온 상태 저항은 각각 $R_{S1}=0.06\Omega$, $R_{S2}=0.05\Omega$, $R_{S3}=0.07\Omega$, $R_{S4}=0.055\Omega$, $R_{S5}=0.075\Omega$, $R_{S6}=0.06\Omega$, $R_{S7}=0.08$, $R_{S8}=0.06\Omega$ 으로 실험 환경을 설정했다.

그림 2는 시뮬레이션에서 DPS 제어 중 스위칭 동작 및 전압, 인덕터 전류 파형이다. 스위칭 신호가 변할 때의 인덕터 전류($I_L(t_0), I_L(t_1) \dots I_L(t_7)$)를 측정하고, R_{sum} 에 $0.08 \sim 0.12[\Omega]$ 사이 균일한 간격의 저항값들을 대입하며 구간내에서 식 (3)의 오차를 최소화하는 $R_{sum,1}, R_{sum,2}, \dots, R_{sum,8}$ 의 값을 검출하였다.

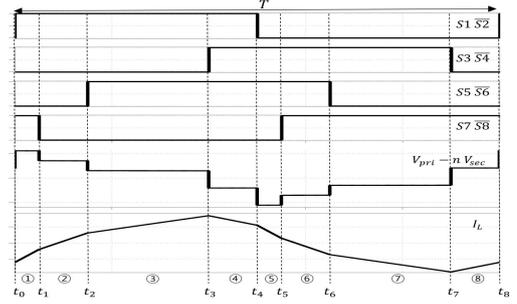


그림 2 DPS 제어 중 스위칭 동작 및 전압, 인덕터 전류 파형
Fig. 2 Switching Operation, Voltage, and Inductor Current Waveforms in DPS Control

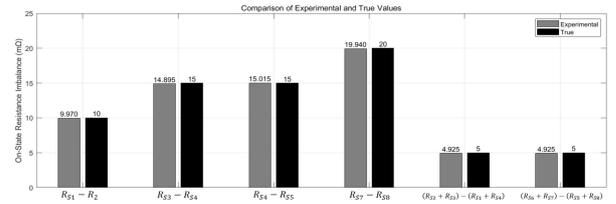


그림 3 온 상태 저항 불균형 추정 시뮬레이션 결과
Fig. 3 Simulation Result for Estimating On-State Resistance Imbalance

식 (5)에 따라 레그 및 전류 경로 간의 온 상태 저항 불균형을 계산하여 실제 온 상태 저항 간의 불균형 수치와 비교한 결과, 그림 (3)과 같이 오차율이 모두 2% 미만으로 나타내며, 제안된 기법이 효과적으로 온 상태 저항의 불균형을 검출하는 것을 검증하였다.

3. 결론

본 논문에서는 DAB 컨버터의 DPS 제어 상태에서 입출력 DC 전압과 전류 경로에 따른 인덕터 전류를 사용하여 전력 반도체 레그 및 전류 경로 간의 온 상태 저항 불균형을 추정할 수 있는 검출 기법을 제안하였다. 제안된 기법은 기존 DAB 컨버터에서 추가적인 회로나 소자 없이도 작동 중인 DAB 컨버터의 온 상태 저항 불균형을 실시간으로 분석할 수 있으며, 이를 활용하여 컨버터의 레그와 경로에 대한 전력 반도체 노화 상태의 상대적 변화 모니터링이 가능할 것으로 기대된다.

이 논문은 2024년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. RS-2024-00457571)

참고 문헌

- [1] J. R. Celaya, A. Saxena, P. Wysocki, S. Saha, and K. Goebel, "Towards Prognostics of Power MOSFETs: Accelerated Aging and Precursors of Failure", PHM_CONF, vol. 2, no. 1, Oct. 2010.
- [2] J. Shin, J.-W. Shin and W. Kim, "Noise-Robust Online Measurement of the On-State Resistance of the Power Semiconductor Devices in PWM Converters," in IEEE Access, vol. 12, pp. 63669-63682, 2024
- [3] I. Aghabali, L. Dorn-Gomba, P. Malysz and A. Emadi, "Parasitic Resistance Effect on Dual Active Bridge Converter," IECON 2019 - 45th Annual Conference of the IEEE Industrial Electronics Society, Lisbon, Portugal, 2019, pp. 1932-1937